



09/833,653
DOCKET: 0033-0707P
BSKB: (703)205-8000

#5

本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月13日

出 願 番 号

Application Number:

特願2000-112467

出 願 人

Applicant (s):

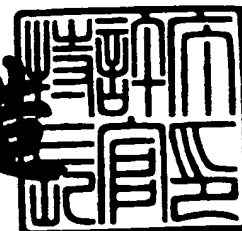
シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 1000420

【提出日】 平成12年 4月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/82

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 紙谷 晋吾

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 畠山 耕一

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ駆動型情報処理装置の実行制御装置

【特許請求の範囲】

【請求項 1】 データパケットを順に転送する、少なくとも第 1 段および第 2 段を含む複数段からなるパイプライン手段と、

演算に必要な組のデータを待ち合わせるデータパケットを格納するための待合せデータ格納手段と、

前記待合せデータ格納手段内にデータパケットが存在するか否かを示す情報を格納するための格納部と、

前記第 1 段に存在するデータパケットと組になるべきデータが前記待合せデータ格納手段内に格納されているか否かを、前記格納部の内容を参照して判定するとともに前記格納部の情報を更新するための判定手段と、

前記第 1 段から前記第 2 段に対して転送された前記データパケットに対して、前記判定手段の判定結果にしたがって、前記待合せデータ格納手段に記憶されたデータパケットとの間の待合せ処理を行なうための待合せ処理手段と、

前記待合せ処理手段による待合せ処理の結果生成されるデータパケットを出力するためのパケット出力手段とを含む、データ駆動型情報処理装置の実行制御装置。

【請求項 2】 前記格納部はフリップフロップ回路を含む、請求項 1 に記載のデータ駆動型情報処理装置の実行制御装置。

【請求項 3】 前記格納部は、リセット信号に応答してその格納内容を予め定められた初期値にリセットする機能を有する、請求項 1 または請求項 2 に記載のデータ駆動型情報処理装置の実行制御装置。

【請求項 4】 前記待合せデータ格納手段は、複数個の部分待合せデータ格納手段を含み、前記格納部は前記複数個の部分待合せデータ格納手段に対してそれぞれ設けられている、請求項 1 ～請求項 3 のいずれかに記載のデータ駆動型情報処理装置の実行制御装置。

【請求項 5】 さらに、データパケットに対する命令実行に用いられる定数を記憶するための定数記憶手段を含み、

前記パケット出力手段は、前記複数個の部分待合せデータ格納手段に格納されているデータのうちの、前記第 1 段および前記第 2 段を経て転送されて来たデータパケットと組になるデータと、前記定数記憶手段から読み出された定数と、前記第 1 段および前記第 2 段を経て転送されて来たデータパケットとから出力データパケットを生成するための手段を含む、請求項 4 に記載のデータ駆動型情報処理装置の実行制御装置。

【請求項 6】 前記定数は、前記データ駆動型情報処理装置における異なる種類の処理に用いられる互いに異なる第 1 および第 2 の種類の定数を含み、

前記定数記憶手段は、

前記第 1 の種類の定数を記憶する、第 1 の種類の定数記憶手段と、

前記第 2 の種類の定数を記憶する、第 2 の種類の定数記憶手段とを含み、

前記第 1 の種類の定数記憶手段と前記第 2 の定数記憶手段とは、前記定数記憶手段内の互いに別個の領域に形成されている、請求項 5 に記載のデータ駆動型情報処理装置の実行制御装置。

【請求項 7】 前記第 1 の種類の定数はスカラ定数であり、

前記第 2 の種類の定数はベクトル定数である、請求項 6 に記載のデータ駆動型情報処理装置の実行制御装置。

【請求項 8】 前記第 1 の種類の定数は通常スカラ定数であり、

前記第 2 の種類の定数は長ビットスカラ定数である、請求項 6 に記載のデータ駆動型情報処理装置の実行制御装置。

【請求項 9】 さらに、前記定数記憶手段内の各定数の記憶領域が有効か無効かを示す有効情報を記憶するための有効情報記憶手段を含み、前記有効情報が有効を示す値のときのみ対応の定数が前記定数記憶手段から読み出され、

前記定数を前記定数記憶手段から読み出してデータパケットに格納するための手段と、

前記データパケットに、前記データパケットに格納されたデータパケットが無効であることを示す有効情報を格納するための手段とをさらに含み、

前記待合せ処理手段は、データパケットに含まれる有効情報が無効を示す場合には、当該データパケットに対する待合せ処理に対する待合せ処理を行わず通

過させる、請求項 5～請求項 8 のいずれかに記載のデータ駆動型情報処理装置の実行制御装置。

【請求項 10】 前記パケット出力手段は、前記複数個の部分待合せデータ格納手段に格納されているデータのうちの、前記第 1 段および前記第 2 段を経て転送されて来たデータパケットと組になるデータと、前記第 1 段および前記第 2 段を経て転送されて来たデータパケットとから出力データパケットを生成するための手段を含む、請求項 4 に記載のデータ駆動型情報処理装置の実行制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はデータ駆動型情報処理装置の実行制御装置に関し、特に、画像処理、動画処理をはじめとする演算を行なう際に、パケットの待合せ処理機構とパケットの仕組みとを工夫することによって、処理の高速化および高効率化、演算の柔軟性の向上、コストパフォーマンスの向上を容易に図ることが可能なデータ駆動型情報処理装置の実行制御装置に関する。

【0002】

【従来の技術】

データ駆動原理は、本来的に自然な情報処理方式であると考えられる。このデータ駆動原理を基本原理とするデータ駆動型情報処理装置は、実行可能な高位仕様記述から直接変換された対象プログラムを効果的に実行しようとする研究計画から生まれた一連の情報処理装置の総称である。

【0003】

データ駆動原理とは以下のようなものである。プログラムは複数の命令から構成される。各命令は、それぞれの実行に必要な引き数データがトークン（データパケット）の形ですべて到着すると実行可能な状態になる。実行可能な状態になった命令は、その引き数データおよび実行結果の宛先とともに演算処理機構に送られる。

【0004】

ここで、実行可能な状態となった命令があるか否かについての判定と、実行可

能な状態になった命令が存在する場合に、その命令を、その引き数データおよび実行結果の宛先とともに演算処理機構に送る処理とを実現するのが、発火制御機構と呼ばれるものである。

【0005】

演算処理機構では、当該命令が実行され、命令実行結果が、その宛先に従って、次に実行すべき命令の引き数データとしてトークンの形式で転送される。

【0006】

図1に、一般的なデータ駆動型情報処理装置を画像処理に用いた際のシステム構成例を示す。図1を参照して、このシステムは、データ伝送路4およびデータ伝送路5にそれぞれ接続された入力ポートIAおよび入力ポートIBと、データ伝送路6およびデータ伝送路7にそれぞれ接続された出力ポートOAおよび出力ポートOBと、それぞれデータ伝送路8およびデータ伝送路9に接続された出力ポートOVおよび入力ポートIVとを有するデータ駆動型プロセッサ1と、データ伝送路8およびデータ伝送路9によってデータ駆動型プロセッサ1に接続されたメモリインタフェース2と、メモリアクセス制御線1Aによってメモリインタフェース2と相互接続された画像メモリ3とを含む。

【0007】

データ駆動型プロセッサ1は、データ伝送路4またはデータ伝送路5より、入力時刻の順序にしたがって付けられる世代番号と呼ばれる識別子を持つ入力データ packets を時系列的に受ける。データ駆動型プロセッサ1には、予め設定された処理内容が記憶されている。データ駆動型プロセッサ1は、入力データ packets が入力されると、データ駆動型プロセッサ1に記憶されている処理内容にしたがって処理を進める。データ駆動型プロセッサ1は、処理の中で画像メモリ3に対するアクセスが必要となると、そのアクセス要求（画像メモリ3の内容の参照／更新など）を出力ポートOVを介してデータ伝送路8上に出力する。メモリインタフェース2は、このアクセス要求を受けるとメモリアクセス制御線1Aを介して画像メモリ3に対するアクセスを行ない、その結果をデータ伝送路9および入力ポートIVを介してデータ駆動型プロセッサ1に返す。

【0008】

入力データパケットに対するデータ駆動型プロセッサ 1 内の処理が終了すると、データ駆動型プロセッサ 1 は出力ポート O A または出力ポート O B を介して、出力データパケットをデータ伝送路 6 またはデータ伝送路 7 に出力する。

【 0 0 0 9 】

図 2 はデータ駆動型情報処理装置の基本構成を示す図である。また図 3 は図 2 に示すデータ駆動型情報処理装置の入出力パケットの基本構成を示す図である。

【 0 0 1 0 】

図 2 を参照して、データ駆動型プロセッサ 1 は、外部からの入力データパケットと、データ駆動型プロセッサ 1 の内部を流れるデータパケットとを合流させるための合流部 1 0 と、合流部 1 0 からデータパケットを受け、命令の実行に必要なデータがそろったか否かを判定し、必要なデータがそろったデータを含むデータパケットを出力するための発火制御部 1 1 と、発火制御部 1 1 から与えられるデータパケットに含まれるデータに対して、当該データパケットに含まれる命令コードにより決定される処理を行ない、結果を、次の命令のノード番号を含むデータパケットとして再構成し出力するための演算部 1 2 と、予め命令を記憶しており、演算部 1 2 からのデータパケットを受け、当該データパケットに含まれるノード番号をアドレスとして、次に行なわれるべき命令コードと次のノード番号とを読み出しデータパケットを構成して出力するためのプログラム記憶部 1 3 と、プログラム記憶部 1 3 からデータパケットを受け、その行先に応じて外部または合流部 1 0 のいずれかに分岐させるための分岐部 1 4 とを含む。

【 0 0 1 1 】

図 3 に示されるデータパケットは、合流部 1 0 に入力されるデータパケットのものである。このデータパケットは発火制御部 1 1 に与えられる。発火制御部 1 1 には図 2 に示されるように、また特開平 8 - 2 7 2 7 7 1 号公報にも示されるように、待合せ記憶領域と定数記憶領域とが含まれる。発火制御部 1 1 に与えられたデータパケットは、対となって演算されるべき相手のデータパケットが到着するまで発火制御部 1 1 の待合せ記憶領域 1 1 a に格納され待機する。対のデータパケットがそろった時点で、命令コードと対のデータとを含むデータパケットが再構成され演算部 1 2 に送られる。演算されるべき相手がデータパケットでな

く定数データである場合には、発火制御部 1 1 での待機は行なわれない。すなわちこの場合には、定数記憶領域 1 1 b から定数データを取得することによりデータパケットを再構成する。

【 0 0 1 2 】

演算部 1 2 は、受取ったデータパケットのデータに対して命令コードによって決まる処理を行ない、結果のデータパケットを再構成して出力する。

【 0 0 1 3 】

プログラム記憶部 1 3 は、演算部 1 2 からデータパケットを受けると、そのデータパケットに含まれるノード番号をアドレスとして自己の持つプログラム記憶メモリをアクセスし、次に行なわれるべき命令コードと次のノード番号とを参照して、データパケットを構成し出力する。プログラム記憶部 1 3 が出力するデータパケットは、そこに含まれるノード番号にしたがってデータ駆動型プロセッサ 1 の外部または合流部 1 0 に分岐部 1 4 によって振り分けられる。

【 0 0 1 4 】

図 3 を参照して、データ駆動型プロセッサ 1 に入力されるデータパケットは P E 番号 1 5 (P E は Processing Element の省略形である。) と、ノード番号 1 6 と、世代番号 1 7 と、データ 1 8 とを含む。

【 0 0 1 5 】

P E 番号 1 5 は、図 2 に示される構成のデータ駆動型情報処理装置が複数個の入出力制御部 (合流部 1 0 および分岐部 1 4) を介して接続されたシステムにおいて、データ駆動型情報処理装置を互いに区別するための識別子である。

【 0 0 1 6 】

ノード番号 1 6 は図 2 のプログラム記憶部 1 3 に記憶されている命令コードを参照するためのアドレスとして使用される。

【 0 0 1 7 】

世代番号 1 7 は、時系列的に入力されるデータパケットの識別子であるが、同時に画像メモリ 3 のアドレスとしての意味を有している。画像メモリ 3 のアドレスとしてみる場合、世代番号 1 7 は図 3 に示すようにフィールド番号 F D と、ライン番号 L N と、ピクセル番号 P X とを含む。図 1 6 に、画像と、フィールド番

号 F D と、ライン番号 L N と、ピクセル番号 P X との関係を示す。

【 0 0 1 8 】

図 2 に示す発火制御部 1 1 に与えられるデータパケットの構成を図 4 に示す。図 4 を参照して、このデータパケットの構成は基本的に合流部 1 0 へのデータパケット（図 3）と同じであって、命令コード 1 9 と、ノード番号 2 0 と、世代番号 2 1 と、データ 2 2 とを含む。ここでは、図 3 の P E 番号 1 5 に替えて、命令コード 1 9 が設けられている。

【 0 0 1 9 】

図 5 に発火制御部 1 1 の定数記憶領域 1 1 b に格納されるデータの形式を示す。定数記憶領域 1 1 b には、データパケットと対になるべきデータが定数の場合に、その定数データが記憶されている。図 5 を参照して、各レコードは V C D 2 3（V C D とはこの定数データの有効／無効を示すフラグであり、「1」のとき有効、「0」のとき無効）と、定数データ 2 4 とを含む。

【 0 0 2 0 】

図 6 を参照して、待合せ記憶領域 1 1 a は、待合せデータパケットのハッシュアドレスを計算する際に使用しなかった部分を格納するハッシュ溢れアドレス 2 5 と、待合せデータが存在していること、すなわちデータパケットが待機中であることを示すフラグである P R E 2 6（「1」のとき有効、「0」のとき無効）と、待合せデータ 2 7 とを含む。ハッシュ溢れアドレス 2 5 には、待合せデータパケットのハッシュアドレスをノード番号 1 6 と世代番号 1 7 の一部から計算した際に用いられなかった部分が格納される。

【 0 0 2 1 】

プログラム記憶部 1 3 から出力されるデータパケットの形式は図 4 に示すようなものとなる。このデータパケットが分岐部 1 4 および合流部 1 0 を巡回して発火制御部 1 1 に入ると、まず図 5 の定数記憶領域 1 1 b から定数データと V C D とを取得する。次に、図 6 に示す待合せ記憶領域 1 1 a に対する動作として、格納／発火／通過のうちいずれを選択すべきかについての判定を行なう。判定のための材料は、命令コード 1 9 と、定数記憶領域 1 1 b から取得された V C D と、待合せ記憶領域 1 1 a 内の P R E 2 6 とである。

【 0 0 2 2 】

まず、データパケット中の命令コードがデコードされ、演算部 1 2 で実行される命令が 1 入力命令なのか、2 入力命令なのかが判別される。1 入力命令であればそのデータパケットが「通過」であることが分る。2 入力であっても $VCD = 1$ ならば、対データとしての相手データパケットが不要であるので同様に「通過」となる。

【 0 0 2 3 】

それ以外るとき、すなわち、2 入力命令でありかつ $VCD = 0$ のときに、対データパケットとの待合せが必要となる。したがって待合せ記憶領域 1 1 a へのアクセスが発生する。このとき、ハッシュアドレス計算が行なわれる。該当するアドレスの PRE が「0」であれば、対データパケットはまだ到着していない。したがってこのときのこのデータパケットに対する処理は「格納」となる。該当領域にデータとハッシュ溢れアドレスとを格納し、 $PRE = 1$ に更新する。該当するアドレスの PRE が「1」であれば対データパケットが待合せ記憶領域 1 1 a に存在している。したがって入力データパケットとあわせて演算に必要なデータがそろうので、処理は「発火」となる。待合せ記憶領域 1 1 a から待合せデータが取出され、パケットを再構成して $PRE = 0$ と更新する。再構成されたデータパケットは図 7 に示される構成をとる。

【 0 0 2 4 】

図 7 を参照して、このデータパケットは、 VCD 2 8 と、命令コード 2 9 と、ノード番号 3 0 と、世代番号 3 1 と、左データ 3 2 と、右データ 3 3 とを含む。左データ 3 2 および右データ 3 3 が 2 入力命令の演算に必要なデータであり、待合せしていたデータパケットと、入力データパケットとから得られるものである。このデータパケットは演算部 1 2 に送られる。

【 0 0 2 5 】

以下、上記した処理が順に繰返されてデータパケットがデータ駆動型情報処理装置の中を循環していく間にデータが処理されていく。

【 0 0 2 6 】

発火制御部 1 1 では、待合せ記憶領域 1 1 a へのアクセスのスループットを維

持するために、特開平 8 - 2 7 2 7 7 1 号公報に示されるようにインターリーブ構成をとることがある。すなわち、図 8 に示されるように待合せ記憶領域 1 1 a は、ブロック 3 4 と、二つの領域（メモリ部 3 5 およびメモリ部 3 6）とを含む。ブロック 3 4 によるデータパケットの振り分けによりアクセスが双方に分散するようにする。どちらの領域にアクセスするかは、ブロック 3 4 内に設けられるレジスタにインターリーブビット（IB）と呼ばれるビットを設定して指定する。IB は 3 ビットの FIS パラメータと呼ばれるパラメータをブロック 3 4 内の上記したレジスタにロードすることにより設定される。

【 0 0 2 7 】

FIS と IB との関係をまとめて次の表 1 に示す。なおこの FIS パラメータは、ハッシュアドレスを計算する際のハッシュ関数の種類を指定する機能も兼ねている。

【 0 0 2 8 】

【表 1】

FIS	000	001	010	011	100	101	110	111
IB	G1	G2	G3	G4	N0	N1	N2	N3

G_n：世代番号の第 n ビット

N_n：ノード番号の第 n ビット

【 0 0 2 9 】

なお、世代番号は G 0 ～ G 4 の 5 ビットからなる。よってたとえば G 1 は世代番号の下位から 2 ビット目を表わしている。

【 0 0 3 0 】

【発明が解決しようとする課題】

上記したとおり、図 8 に示す従来技術では待合せ記憶をインターリーブ構成によって実現していた。各メモリ容量にはマージンを持たせる必要があり、その結果メモリに関するコストが高つく。また、ストリーム状に到着するデータパケットの順序によっては、アクセスがメモリ部 3 5 およびメモリ部 3 6 の一方のみ

に集中して発生することがあり得る。そうした場合には目的のスループットを十分に維持することができない。

【 0 0 3 1 】

たとえば、表 1 において F I S = ' 0 0 0 ' であるものと仮定する。このとき I B は世代番号 3 1 の第 1 ビットによって決定される。ここでデータパケットの世代番号が順に 0(0b0...000000), 4(0b0...000100), 8(0b0...001000), 12(0b0...001100), ... というようなストリームで発火制御部 1 1 に到着すると、常に I B = 0 となる。その結果メモリ部 3 5 にアクセスが集中してしまい十分なスループットが得られない。

【 0 0 3 2 】

さらに、データ駆動型情報処理装置においてはデータパケットは自己同期型転送制御回路 (C 素子) により、シーケンシャルに結合されたラッチ間の転送によってパイプライン的に転送されるが、P R E への参照だけで、C 素子間の転送に要する 1 クロックサイクルがかかる。さらに更新値検出と更新とで 1 クロックサイクルを要する。データパケットの到着順によるこうしたスループットの低下を避けるようなデータ駆動型情報処理装置の実行制御装置が望まれる。

【 0 0 3 3 】

また、画像処理、映像処理の処理性能に対する要求は日々大きくなっている。データ駆動型情報処理装置はそのような画像処理、映像処理に向けたアーキテクチャを持っている。そこで、他のアーキテクチャよりも高速に、より高いスループットでデータを処理することができ、なおかつ柔軟にプログラミングすることができるようなデータ駆動型情報処理装置の実行制御装置が望まれる。

【 0 0 3 4 】

求められる演算の複雑さがますます大きくなっているため、演算命令の複合の度合いも今後はより高いものが求められる。しかし、従来技術では最高でも 2 入力命令しか実装されていない。一方で、対等な 3 以上の入力から結果出力を得たい場合もある。そうした場合、従来のデータ駆動型情報処理装置では、1 つのノード 3 7 では図 9 (A) のような 2 入力処理しかできないため、プログラミングにより図 9 (B) に示すようにノード 3 8 およびノード 3 9 を組み合わせて 3 入

力命令を実現するしか術はない。1 ノードで 3 入力処理が可能な場合と比較してレスポンス時間が無駄にかかり、実行が非効率的となる。

【0035】

特に、図 9 (B) に示す構成では、入力 A と入力 B との間の演算をノード 3 8 で行ない、その結果の出力 X と入力 C との間でノード 3 9 の演算を行なう。そのために入力 C はノード 3 8 の処理が完了し X が発火制御部 1 1 に到着するまで待合せ記憶領域 1 1 a にて待機することとなる。その結果待合せ記憶領域 1 1 a の領域が無駄に使用されていることにもなる。3 以上の入力を 1 ノードで処理できるようにすることにより、待合せ記憶領域を有効に利用し、さらに処理の効率をより高くすることが望まれる。

【0036】

また、命令の複合度が増してくると、スカラデータだけではなくベクトルデータも演算対象として扱うことが多くなるであろう。それに対応して、定数記憶領域 1 1 b に記憶しておく定数についてもベクトルデータとして扱いたいという要求が生じてくるであろう。その場合、複合命令を柔軟に扱うことを可能とするために、使用される定数の型がスカラまたはベクトルのどちらか一方のみに固定されるのではなく、同じ命令でも両者を切替えて使い分けられるようにできればより好ましい。

【0037】

したがってこの発明の目的は、データパケットの到着順によって実行効率が影響を受けないようなデータ駆動型情報処理装置の実行制御装置を提供することである。

【0038】

この発明の他の目的は、データパケットの到着順によって実行効率が影響を受けず、かつ待合せ記憶領域を有効に利用できるようなデータ駆動型情報処理装置の実行制御装置を提供することである。

【0039】

この発明のさらに他の目的は、データパケットの到着順によって実行効率が影響を受けず、かつ待合せ記憶領域を有効に利用でき、定数データとしてスカラと

ベクトルとの両者を柔軟に切替えて使用できるようなデータ駆動型情報処理装置の実行制御装置を提供することである。

【0040】

【課題を解決するための手段】

第1の発明にかかるデータ駆動型情報処理装置の実行制御装置は、データパケットを順に転送する、少なくとも第1段および第2段を含む複数段からなるパイプライン手段と、演算に必要な組のデータを待ち合わせるデータパケットを格納するための待合せデータ格納手段と、待合せデータ格納手段内にデータパケットが存在するか否かを示す情報を格納するための格納部と、第1段に存在するデータパケットと組になるべきデータが待合せデータ格納手段内に格納されているか否かを、格納部の内容を参照して判定するとともに格納部の情報を更新するための判定手段と、第1段から第2段に対して転送されたデータパケットに対して、判定手段の判定結果にしたがって、待合せデータ格納手段に記憶されたデータパケットとの間の待合せ処理を行なうための待合せ処理手段と、待合せ処理手段による待合せ処理の結果生成されるデータパケットを出力するためのパケット出力手段とを含む。

【0041】

実行制御装置を複数段のパイプライン手段で構成し、パイプライン手段の第1段に存在するデータパケットに対して対応のデータパケットが待合せデータ格納手段に存在するか否かを判定し、そのデータパケットが第2段に転送された後に、当該判定結果に基づいて待合せ処理を行なう。結果として待合せ処理がパイプライン化されるため、スループットを高く維持することができる。

【0042】

好ましくは、格納部はフリップフロップ回路を含む。簡単なフリップフロップを用いて、高速に待合せデータパケットの存在を判定することができる。

【0043】

さらに好ましくは、格納部は、リセット信号に応答してその格納内容を予め定められた初期値にリセットする機能を有する。格納部の格納内容を初期化する際に、リセット信号を用いて直接初期化できる。わざわざ初期化のためのデータパ

ケットを情報処理装置に入力する必要はない。

【 0 0 4 4 】

本発明の他の局面によれば、待合せデータ格納手段は、複数個の部分待合せデータ格納手段を含み、格納部は複数個の部分待合せデータ格納手段に対してそれぞれ設けられている。複数個の部分待合せデータ格納手段を設けることにより、少なくとも部分待合せデータ格納手段の個数に、入力データパケットの分である 1 を加えた数の入力を有する命令を 1 ノードで実行することが可能となる。

【 0 0 4 5 】

好ましくはデータ駆動型情報処理装置の実行制御装置はさらに、データパケットに対する命令実行に用いられる定数を記憶するための定数記憶手段を含み、パケット出力手段は、複数個の部分待合せデータ格納手段に格納されているデータのうちの、第 1 段および第 2 段を経て転送されて来たデータパケットと組になるデータと、定数記憶手段から読み出された定数と、第 1 段および第 2 段を経て転送されて来たデータパケットとから出力データパケットを生成するための手段を含む。

【 0 0 4 6 】

さらに定数の入力が増えられるので、少なくとも部分待合せデータ格納手段の個数に 2 を加えた数の入力を有する命令を 1 ノードで実行することが可能となる。

【 0 0 4 7 】

さらに好ましくは、定数は、データ駆動型情報処理装置における異なる種類の処理に用いられる互いに異なる第 1 および第 2 の種類の定数を含み、定数記憶手段は、第 1 の種類の定数を記憶する、第 1 の種類の定数記憶手段と、第 2 の種類の定数を記憶する、第 2 の種類の定数記憶手段とを含み、第 1 の種類の定数記憶手段と第 2 の定数記憶手段とは、定数記憶手段内の互いに別個の領域に形成されている。

【 0 0 4 8 】

定数が定数記憶手段のどの領域から読み出されるかによってその定数の種類を識別することができる。その結果、使用する定数の読出位置を適切に指定するこ

とにより、データ駆動型情報処理装置で行なわれる異なる種類の処理に、それぞれの処理の種類に応じた形式の定数を容易に利用することができる。

【0049】

さらに好ましくは、第1の種類の定数はスカラー定数であり、第2の種類の定数はベクトル定数である。スカラー定数とベクトル定数とを適宜切替えて処理に用いることができる。

【0050】

また、第1の種類の定数は通常スカラー定数であり、第2の種類の定数は長ビットスカラー定数であってもよい。通常スカラー定数と長ビットスカラー定数とを適宜切替えて処理に用いることができる。

【0051】

好ましくは、データ駆動型情報処理装置の実行制御装置はさらに、定数記憶手段内の各定数の記憶領域が有効か無効かを示す有効情報を記憶するための有効情報記憶手段を含み、有効情報が有効を示す値のときのみ対応の定数が読み出され、定数を定数記憶手段から読み出してデータパケットに格納するための手段と、データパケットに、データパケットに格納されたデータパケットが無効であることを示す有効情報を格納するための手段とをさらに含み、待合せ処理手段は、データパケットに含まれる有効情報が無効を示す場合には、当該データパケットに対する待合せ処理に対する待合せ処理を行わず通過させる。

【0052】

定数データについて、あたかもそれが無効データであるかのようにすることにより、待合せ処理を通過させて3以上の入力を持つ命令への入力とすることができる。

【0053】

好ましくは、パケット出力手段は、複数個の部分待合せデータ格納手段に格納されているデータのうちの、第1段および第2段を経て転送されて来たデータパケットと組になるデータと、第1段および第2段を経て転送されて来たデータパケットとから出力データパケットを生成するための手段を含む。

【0054】

部分待合せデータ格納手段の個数に 1 加えた数の入力を有する命令を 1 ノードで実行することが可能となる。

【0055】

【発明の実施の形態】

以下、パケット 2 系統の待合せ領域で 4 入力命令を実現し、かつスカラ定数とベクトル定数とを切替えて使用できるデータ駆動型情報処理装置の実行制御装置の実施の形態について説明する。なお、データ駆動型情報処理装置全体の構成は図 2 に示したものとほぼ同様で、発火制御部 11 における待合せ制御が異なる。したがって、ここでは図 2 と同じ部品については同じ参照符号および名称で説明することとし、それらについての詳細な説明は繰返さない。

【0056】

図 10 に、発火制御部 11 に入力されるデータパケットの基本形式を示す。図 10 を参照して、このデータパケットは、命令コード 40 と、このデータパケットが左入力データなのか、右入力データなのかを示す L/R 41 と、ノード番号 42 と、世代番号 42A と、8 つのデータである第 0 ～第 7 データ 43 とを含む。データパケットが第 0 ～第 7 データ 43 を有し、8 つのデータを格納することができるので、このデータパケットはベクトルデータとして用いることができる。

【0057】

図 11 を参照して、定数記憶領域 11b は、アドレス 00 ～0F までのベクトル定数を記憶する部分（図 11（A））と、アドレス 10 ～FF までのスカラ定数を記憶する部分（図 11（B））とを含む。

【0058】

図 11（A）に示されるようにベクトル定数は、VCD 44 と、第 7 定数 45 ～第 0 定数 52 とを含む。図 11（B）に示されるようにスカラ定数は、VCD 53 と、定数 54 とを含む。

【0059】

図 10 に示されるデータパケットが発火制御部 11 に到着すると、図 11 に示されるような構成となっている発火制御部 11 から定数データと VCD とが取出

され、データパケット内に埋込まれる。ノード番号 4 2、すなわち定数記憶領域 1 1 b のアドレス (0 0 ~ 0 F または 1 0 ~ F F) に応じて、取出す対象がスカラ定数なのかベクトル定数なのかが決まる。その結果、図 1 5 に示される入力パケット 8 9 のようなパケット形式となり、待合せ記憶部の処理に移る。

【0 0 6 0】

なおここではスカラ定数とベクトル定数との切替えをする場合について説明しているが、同様の方式によって通常のスカラ定数と、より長い長ビット定数とを切替えて処理することもできる。その場合の定数記憶領域 1 1 b の構成例を図 1 2 に示す。この場合にも、取出される定数が通常のスカラ定数なのか長ビット定数なのかは、それらが取出されるアドレスの値 (たとえば 0 0 ~ 0 F なのか、1 0 ~ F F なのか) によって決まる。

【0 0 6 1】

待合せ記憶部 2 0 0 での処理は図 1 5 に示される構造により実現される。図 1 5 を参照して、この待合せ記憶部 2 0 0 は、データパケットを処理するためのパイプラインの第 1 段 ~ 第 4 段をそれぞれ構成する、それぞれ入力パケット 8 9、パケット 9 4、パケット 9 7 およびパケット 9 9 を保持するための 4 つのラッチ回路と、これらラッチ回路の間のデータの転送を制御するための C 素子 1 0 0 ~ 1 0 4 と、入力パケット 8 9 に含まれる第 0 ~ 第 7 データ 4 3 命令コード O P C をデコードし、命令コード O P C が必要とする入力数 *i n s t* を出力するための命令デコーダ 9 0 と、入力数 *i n s t* が 4 か否かを判定するための処理ブロック 9 1 と、それぞれ部分的な領域を形成する第 1 待合せ領域 9 6 A および第 2 待合せ領域 9 6 B を持つ、対パケットが格納される待合せ領域 9 6 と、入力パケット 8 9 のノード番号および世代番号からハッシュアドレスを計算し、その結果によって第 1 待合せ領域 9 6 A / 第 2 待合せ領域 9 6 B の有効 / 無効をそれぞれ識別するためのフラグである P R E 1 および P R E 0 を参照し、さらに後に示す表 2 にしたがってその更新値を決定するためのハッシュ計算ブロック 9 2 と、この P R E 1 および P R E 0 をそれぞれ格納するための、それぞれ 1 ビットの D フリップフロップからなる P R E 1 および P R E 0 からなる P R E 格納部 2 0 2 と、処理ブロック 9 1 から出力される入力数 *i n s t* と V C D と P R E 1 および P R E

0の値に基づいて第1待合せ領域96Aおよび第2待合せ領域96Bにアクセスするか否かを判定する待合せ動作判定を行なうための待合せ動作判定ブロック93と、パケット94のデータ7～0およびselの値に基づいて第1待合せ領域96Aおよび第2待合せ領域96Bのいずれか一方にアクセス（参照・更新）する処理を行なうための待合せ記憶部アクセスブロック95と、パケット97に対してデータ交換処理およびハッシュ衝突の検出処理を行なってパケット99とするための処理ブロック98とを含む。

【0062】

待合せ領域96の構造を図14に示す。図14を参照して、待合せ領域96は、第1待合せ領域のデータの有効／無効フラグであるPRE0（69）および第2待合せ領域のデータの有効／無効フラグであるPRE1（70）と、ハッシュ溢れアドレス71と、第1待合せ領域のデータの左右入力を識別するフラグであるL／R72と、第1待合せ領域である第7データ73～第0データ80と、第2待合せ領域である第7データ81～第0データ88とを含む。

【0063】

入力パケット89は命令コードOPCと、L／Rと、ノード番号nodeと、世代番号genと、データ（7～0）と、VCDと、定数データ（7～0）とを含む。

【0064】

パケット94は、命令コードOPCと、L／Rと、ノード番号nodeと、世代番号genと、データ（7～0）と、VCDと、定数（7～0）と、待合せ動作の選択selと、入力数instとを含む。

【0065】

パケット97は、命令コードOPCと、L／Rと、ノード番号nodeと、世代番号genと、データ（7～0）と、VCDと、定数（7～0）と、第1待合せ領域96Aから取出したデータ1（7～0）と、第2待合せ領域96Bから取出したデータ2（7～0）と、入力数instとを含む。

【0066】

パケット99は、命令コードOPCと、L／Rと、ノード番号nodeと、世

代番号 *gen* と、左データ *Data L* (7～0) と、右データ *Data R* (7～0) と、制御データ *Data C* (7～0) とを含む。

【0067】

この待合せ記憶部 200 は以下のように動作する。まず、入力パケット 89 に含まれる命令コード *OPC* を命令デコーダ 90 によってデコードし、何入力の命令かを判別する。命令デコーダ 90 は判別結果を入力数 *inst* として出力する。例えば入力数 *inst* = 3 であれば命令コード *OPC* は 3 入力命令である。なお本実施の形態では入力数 *inst* は 1～4 の範囲の値をとる。

【0068】

もし入力数 *inst* = 4 であれば、命令コード *OPC* は 4 入力命令である。しかしこの実施の形態の装置では、4 入力命令への 4 つの入力は、必ず 3 つの変数と 1 つの定数とからなると規定されている。したがって、処理ブロック 91 は、入力数 *inst* = 4 か否かを判定し、もし入力数 *inst* = 4 であれば *VCD* の値を 0 に更新し、入力数 *inst* = 3 に更新する。入力数 *inst* = 3 と更新された場合、最初から入力数 *inst* = 3 の場合と同じ処理がこれ以後に行なわれる。

【0069】

ハッシュ計算ブロック 92 は、入力パケット 89 のノード番号と世代番号とからハッシュアドレス計算を行なって、対応の *PRE* 格納部 202 の *PRE0* と *PRE1* との値を参照する。

【0070】

待合せ記憶部 200 に対するデータパケットの操作、*PRE0* / 1 の更新値、待合せ領域 96 の操作の対応を表 2 に示す。

【0071】

【表 2】

inst	VCD	命令	PRE	パケット動作	PRE更新値	第1待ち合わせ	第2待ち合わせ
1	x	1入力命令	xx	通過	Hold	Hold	Hold
2	1	2入力命令 (1定数)	xx	通過	Hold	Hold	Hold
	0	2入力命令	x0	第1待ち合わせ	01	パケットWrite	Hold
	0		x1	発火	00	Read	Hold
3	1	3入力命令 (1定数)	x0	第1待ち合わせ	01	パケットWrite	Hold
	1		x1	発火	00	Read	Hold
	0	3入力命令または	00	第1待ち合わせ	01	パケットWrite	Hold
	0	4入力命令 (1定数)	01	第2待ち合わせ	11	Hold	パケットWrite
	0		1x	発火	00	Read	Read

【0 0 7 2】

なお表 2 において、PRE 更新値の 2 桁の数値のうち左側は PRE 1 に、右側は PRE 0 に、それぞれ対応する。また「パケットWrite」とは、パケットを第 1 待ち合わせ領域 9 6 A または第 2 待ち合わせ領域 9 6 B に格納し、かつ対応する P

RE 0 または PRE 1 を「1」に更新する処理のことをいう。また表 2 において「x」で示される部分は dont care を表わす。

【0073】

待合せ動作判定ブロック 93 は、入力数 *inst* と、VCD と、PRE 0 / 1 との値に基づいて、表 2 にしたがって待合せ領域 96 におけるパケット操作と、PRE 0 / 1 の更新値とを求め、表 2 の「パケット動作」で示されるパケット操作の内容を示す情報をパケット 94 の「sel」のフィールドに設定する。さらに待合せ動作判定ブロック 93 は、PRE 0 / 1 の値を表 2 にしたがって更新する。

【0074】

次に、処理ブロック 95 が、パケット 94 の sel に設定されているパケット操作の内容に基づいて、待合せ領域 96 にアクセスする。

【0075】

図 15 に示す構成では、待合せ記憶領域へのアクセスタイムとしては、パイプライン 2 段分（C 素子 101 ~ 102 および C 素子 103 ~ 104）のタイムスロットが必要である。たとえば、1 入力命令または 2 入力命令（1 定数）の場合には、データパケットが待合せ記憶部 200 を通過するのみで、第 1 待合せ領域 96 A および第 2 待合せ領域 96 B の双方に対して処理内容が「Hold」のときにはアクセスの必要はない。

【0076】

演算に必要な対（または 3 つ）のデータパケットがまだ待合せ記憶部 200 にそろわないときには、当該パケットは待機するために第 1 待合せ領域 96 A または第 2 待合せ領域 96 B に格納される。この動作は表 2 において「パケット Write」と記載されている部分に相当する。

【0077】

対（または 3 つ）のデータパケットがそろそろと発火となり、待合せ領域 96 からデータが取出される。このとき PRE 1 / 0 は「00」に更新される。

【0078】

最後の処理ブロック 98 は、パケット 97 に含まれる入力数 *inst*、VCD

、L/Rの値を用いて、演算部12での処理に間に合うようにパケット99を再構成する。さらに処理ブロック98は、ハッシュ衝突の判定を行なってパケット99を演算部12に送り、待合せ記憶部200での処理を終了する。

【0079】

上記したような実施の形態のシステムでは、待合せ記憶部200の処理を複数段のパイプラインに分割している。したがってデータパケットストリームの入力順序に依存せず、待合せ記憶部200でのスループットを一定に維持することができる。またPREビットをPRE格納部202に格納し、ハッシュアドレスの計算、待合せ判定の際にPREビットの参照／更新を行なう。さらにその後、PREビットを待合せ領域96に記憶する。そのため、従来のように待合せ記憶領域からの読出や待合せ記憶領域への書込みによる方法と比較して、PREビットの参照および更新を高速に行なうことができる。特に、PRE格納部202をDフリップフロップで構成することにより、この参照および更新を高速に、かつ簡単な回路で実現している。上記実施の形態では1クロックサイクルでこの参照／更新を実現している。

【0080】

さらに、PRE格納部202をリセット入力を持つ回路で構成することもできる。従来は、たとえば初期化時にPREビットをリセットするためには、リセット用初期化パケットをデータ駆動型情報処理装置に与えていた。PRE格納部202を、リセット入力を持ち、リセット入力から与えられるリセット信号に応答して自己をリセットする回路（たとえばフリップフロップ回路）とすることで、初期化用パケットを用いることなく、単にリセット信号をPRE格納部に与えることでPREビットをリセットすることができる。

【0081】

なお、この実施の形態ではパケット2系統分の待合せ領域（第1待合せ領域96Aおよび第2待合せ領域96B）で4入力命令を実現しているが、同様の考え方で1系統分の待合せ領域で3系統命令を実現することもできる。その場合には、待合せ領域として図13に示すような構成を採用すればよい。図13を参照して、この待合せ領域は、PRE59と、ハッシュ溢れアドレス60と、第7デー

タ 6 1 ～ 第 0 データ 6 8 とを含む。

【 0 0 8 2 】

さらに同様の考え方で、パケット n 系統（第 1 待合せ領域、第 2 待合せ領域、…、第 n 待合せ領域）を設けることで、 $(n + 2)$ 入力命令を実現することができる。

【 0 0 8 3 】

この実施の形態の方法および装置によれば、従来のように待合せ記憶領域に対するアクセスを高速化するためにインターリーブ方式をとる必要がない。必要なメモリ領域が削減され、かつ回路構成も簡単なものとなる。したがって装置の小型化およびメモリ量削減によるコストの提言を実現することができる。

【 0 0 8 4 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図 1】 データ駆動型情報処理装置のシステム構成例を示す図である。

【図 2】 データ駆動型情報処理装置の内部基本構成図である。

【図 3】 従来のデータ駆動型情報処理装置への入出力パケットの基本構成を示す図である。

【図 4】 従来のデータ駆動型情報処理装置の発火制御部への入力パケットの基本構成を示す図である。

【図 5】 従来のデータ駆動型情報処理装置の発火制御部内の定数記憶領域を示す図である。

【図 6】 従来のデータ駆動型情報処理装置の発火制御部内の待合せ記憶領域を示す図である。

【図 7】 従来のデータ駆動型情報処理装置の発火制御部からの出力パケットの基本構成を示す図である。

【図 8】 従来のデータ駆動型情報処理装置の、メモリインターリーブで実現

された待合せ記憶部を示す図である。

【図 9】 従来のデータ駆動型情報処理装置において 3 入力演算命令を実装する時の一例を示す図である。

【図 1 0】 本発明のデータ駆動型情報処理装置の発火制御部に入力されるデータパケットの基本形式を示す図である。

【図 1 1】 スカラ定数とベクトル定数とを切替えて使用可能な定数記憶部を示す図である。

【図 1 2】 スカラ定数と長ビット定数とを切替えて使用可能な定数記憶部を示す図である。

【図 1 3】 パケット 1 つ分の待合せ領域によって 3 入力命令を実現するための待合せ記憶部の構成を示す図である。

【図 1 4】 パケット 2 つ分の待合せ領域によって 4 入力命令を実現するための待合せ記憶部の構成を示す図である。

【図 1 5】 本発明の待合せ記憶部内の処理をパイプライン構成としたときの構成と処理の流れを示す図である。

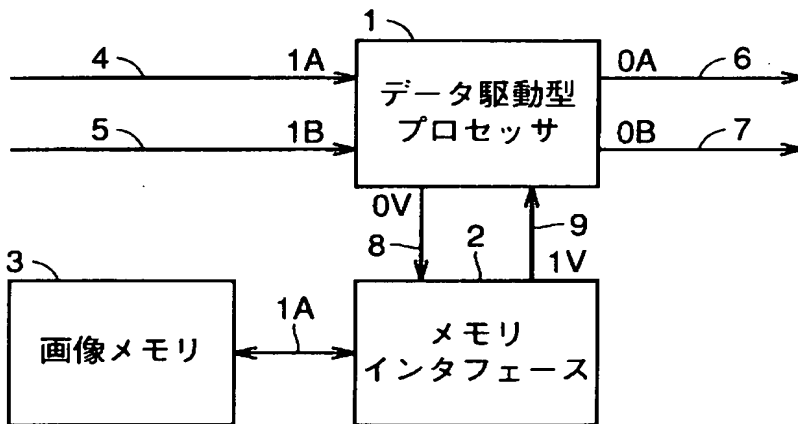
【図 1 6】 データ駆動型情報処理装置における画像データと世代番号との間の関係を示す図である。

【符号の説明】

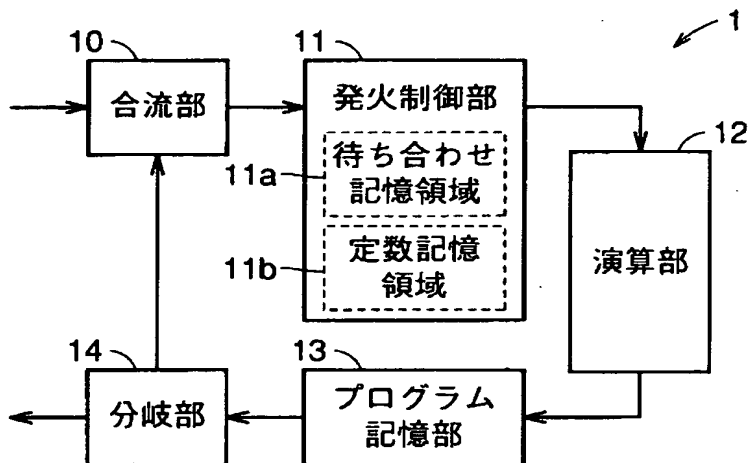
1 1 発火制御部、 9 0 命令デコーダ、 9 2 ハッシュ計算ブロック、 9 3 待合せ動作判定ブロック、 9 5 待合せ記憶部アクセスブロック、 9 6 待合せ記憶部、 2 0 0 待合せ記憶部、 2 0 2 P R E 格納部。

【書類名】 図面

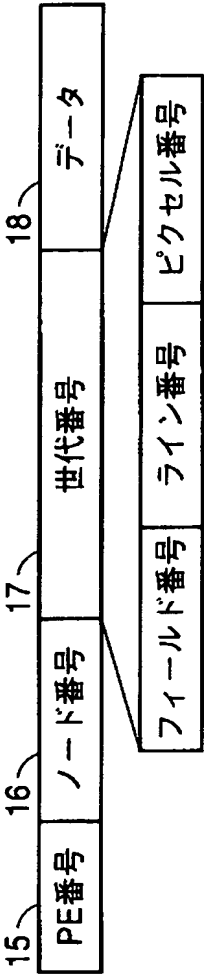
【図 1】



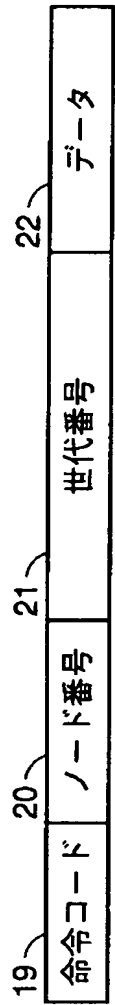
【図 2】



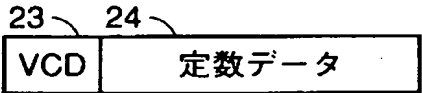
【図 3】



【図 4】

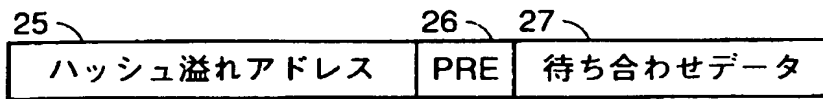


【図 5】



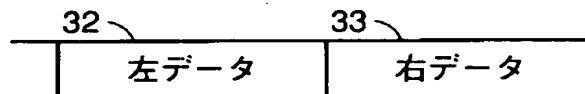
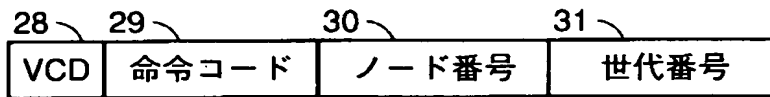
VCD : Validity of Constant Data
('1' の時当該定数データは有効)

【図 6】

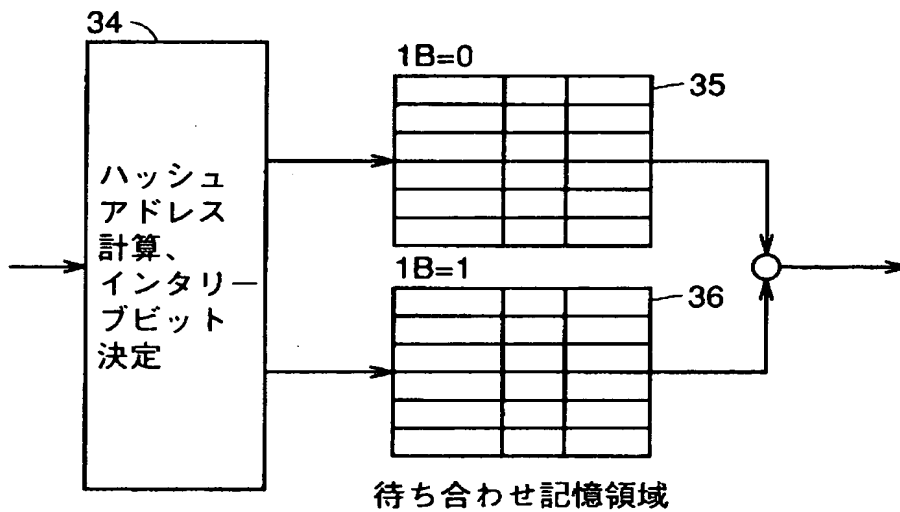


PRE : PREsence flag
('1' の時当該待ち合わせデータは有効)

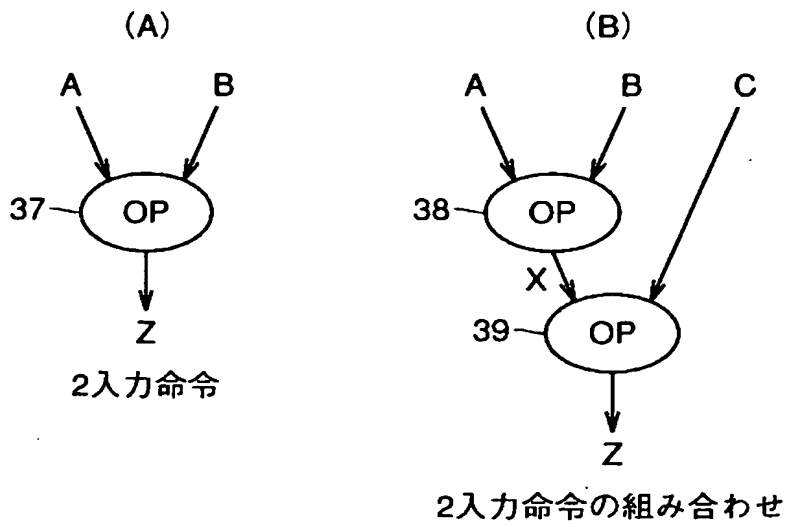
【図 7】



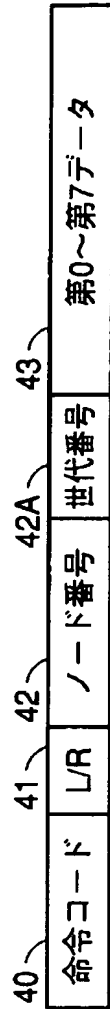
【図 8】



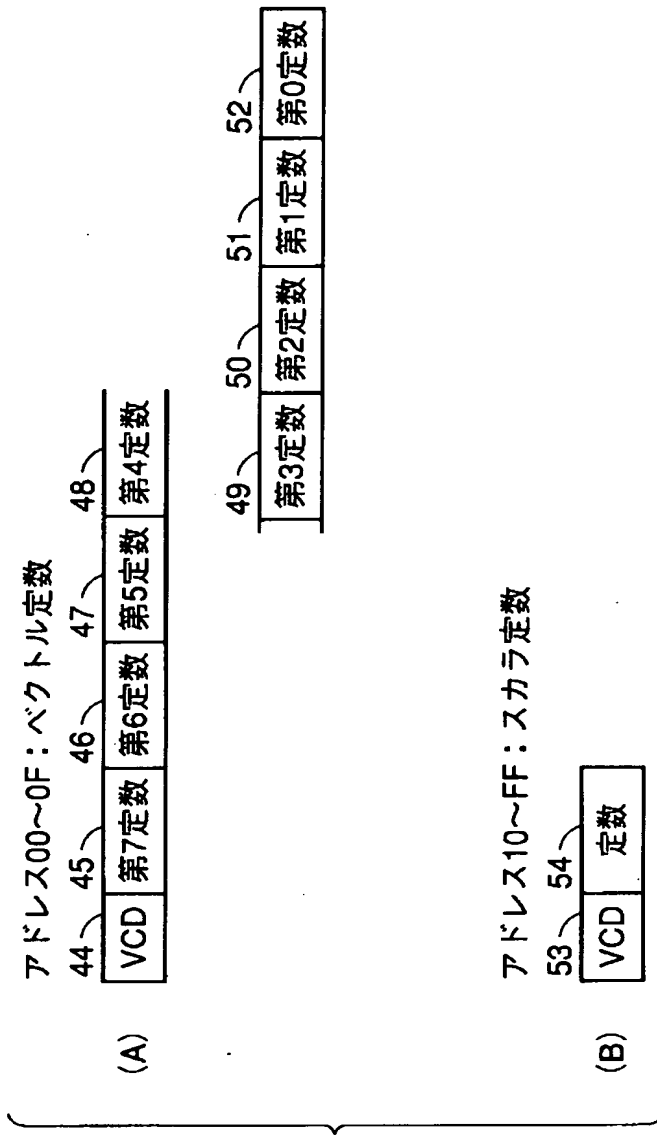
【図 9】



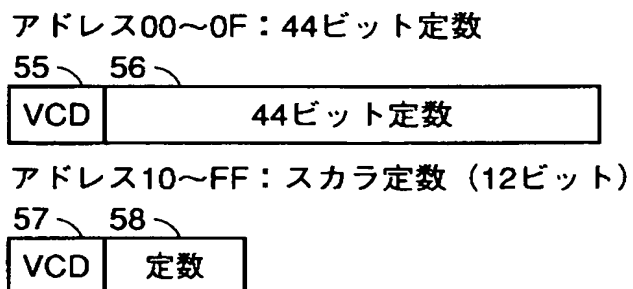
【図 1 0】



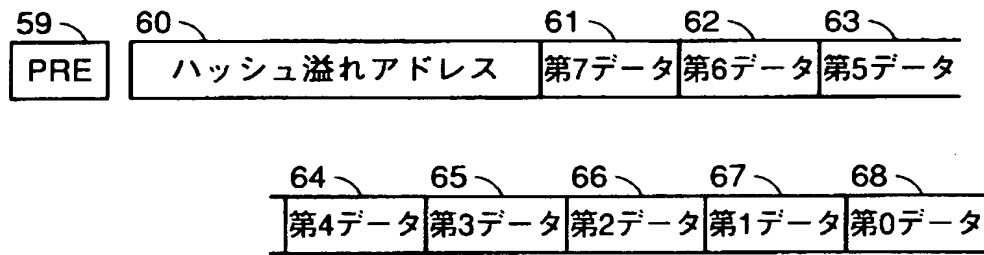
【図 1 1】



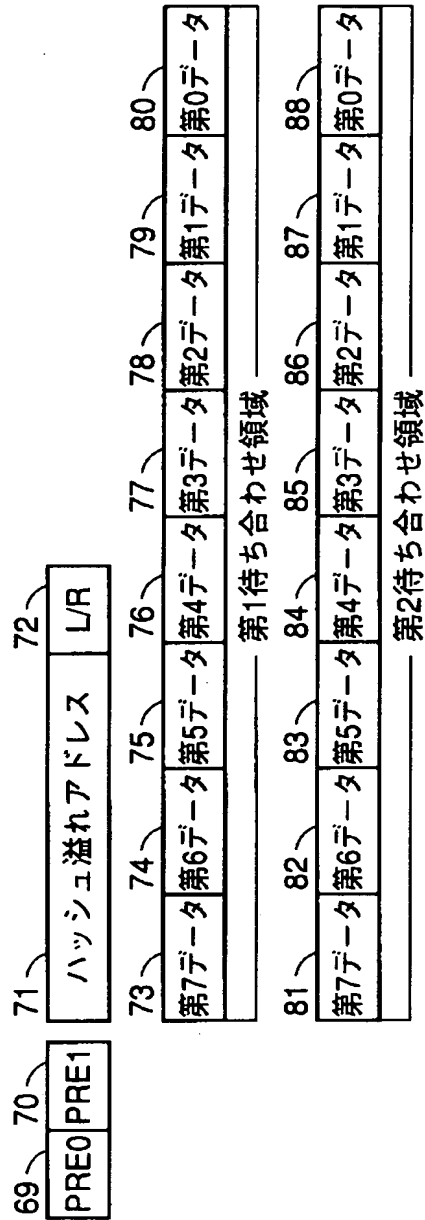
【図 1 2】



【図 1 3】

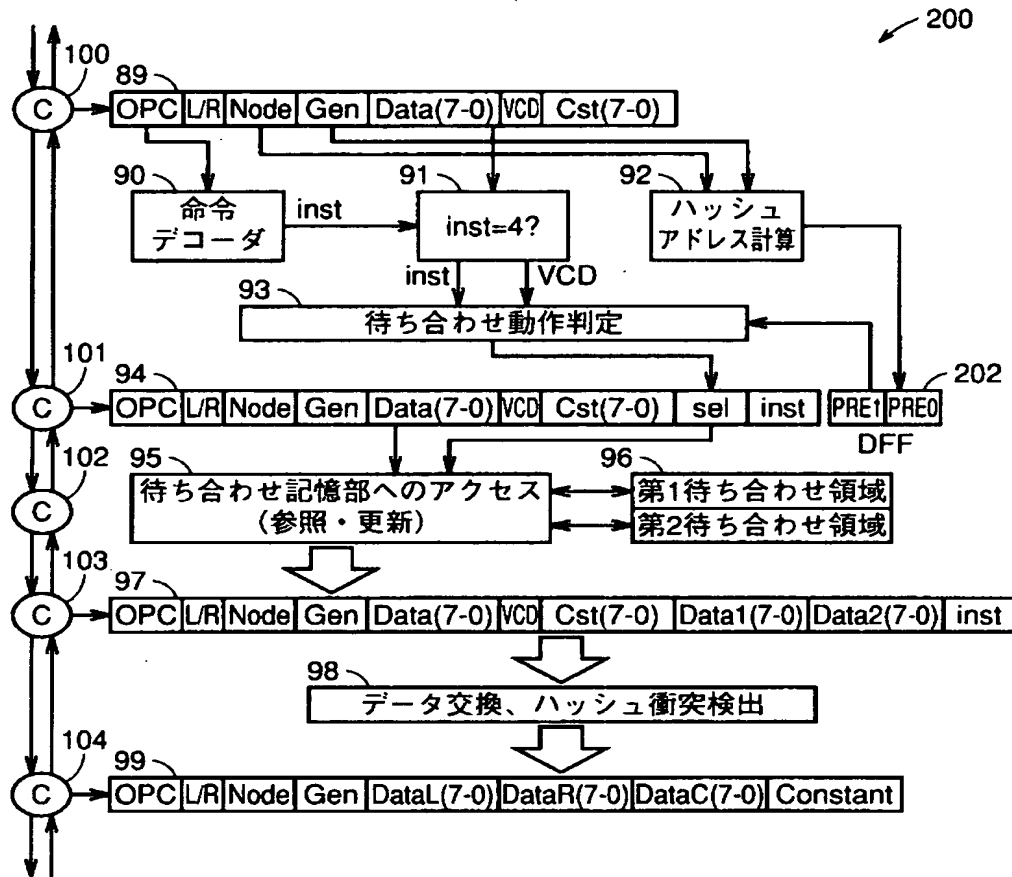


【図 1 4】



PRE0：第1待ち合わせ領域のデータの有効／無効フラグ
PRE1：第2待ち合わせ領域のデータの有効／無効フラグ
L/R：第1待ち合わせ領域のデータの左右入力を識別するフラグ

【図 1 5】



OPC : 命令コード

L/R : データパケットの左右入力を識別するフラグ

Node : ノード番号

Gen : 世代番号

VCD : 定数データの有効/無効を識別するフラグ

Cst(7-0) : (第0～第7)定数データ

inst : 命令の入力数; inst=3のとき3入力命令

sel : 待ち合わせ動作の選択

PRE1/0 : 第2/1待ち合わせ領域の有効無効を識別するフラグ

Data1(7-0) : 第1待ち合わせ領域から取り出した(第0～第7)データ

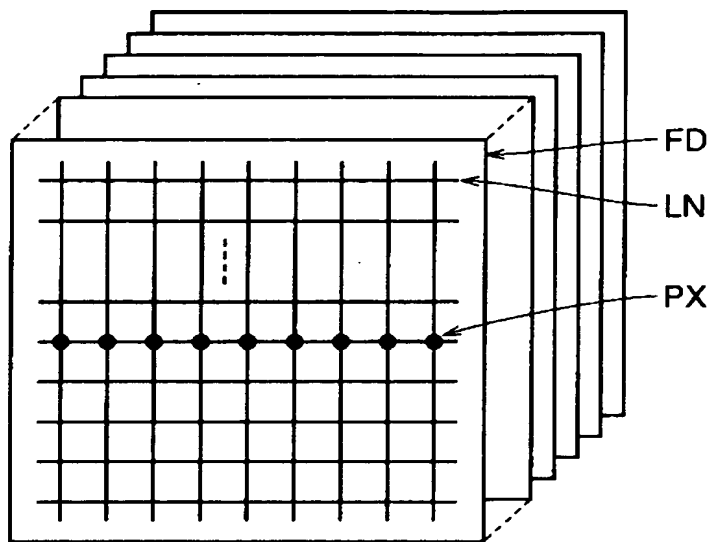
Data2(7-0) : 第2待ち合わせ領域から取り出した(第0～第7)データ

DataL(7-0) : (第0～第7)左データ

DataR(7-0) : (第0～第7)右データ

DataC(7-0) : (第0～第7)制御データ

【図 1 6】



【書類名】 要約書

【要約】

【課題】 データパケットの到着順によって実行効率が影響を受けないようなデータ駆動型情報処理装置の実行制御装置を提供する。

【解決手段】 実行制御装置200は、パイプライン100-104,89,94,97,99と、組になるデータを待ち合わせるパケットを格納する待合せデータ記憶部96と、待合せデータ記憶部96内にパケットが存在するか否かを示す情報を格納する格納部202と、入力データパケットと組になるデータが待合せデータ記憶部96に格納されているか否かを、格納部202の内容を参照して判定し格納部の情報を更新する判定回路93と、第1段から第2段に対して転送されたパケットに対して、判定回路93の判定結果にしたがって、待合せデータ記憶部96に記憶されたデータパケットとの間の待合せを行なう待合せ処理回路95と、待合せ処理回路95による処理の結果生成されるデータパケットを出力するパケット出力回路98とを含む。

【選択図】 図 1 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社